



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021058
Application Number

출원년월일 : 2003년 04월 03일
Date of Application APR 03, 2003

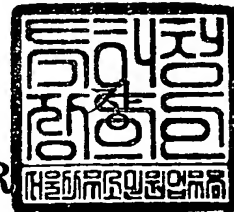
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2003.04.03
【발명의 명칭】 반도체 소자의 메탈 라인 형성 방법
【발명의 영문명칭】 Method of forming a metal line in a semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 박신승
【성명의 영문표기】 PARK,Shin Seung
【주민등록번호】 701028-1053110
【우편번호】 467-866
【주소】 경기도 이천시 부발읍 아미리 산 136-1
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 18 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 하부 소자와 연결되는 메탈 라인을 주 식각 공정 및 과도 식각 공정을 통해 형성할 때, 일측부가 메탈 라인과 연결되면서 다른 측부가 반도체 기판과 연결되는 메탈 퓨즈를 동시에 형성하고, 이후 메탈 라인과 메탈 퓨즈를 전기적으로 격리시키기 위한 메탈 퓨즈 과도 식각 공정을 실시하여 반도체 소자의 메탈 라인을 형성하는 방법에 관한 것이다. 메탈 라인 형성을 위한 과도 식각 공정 시에 플라즈마에 의해 유도된 전하가 메탈 라인에 집적되고, 메탈 라인에 집적된 플라즈마 유도 전하는 메탈 퓨즈를 통해 반도체 기판으로 방출되므로 하부 소자의 전하로 인한 손상을 최소화할 수 있다.

【대표도】

도 2f

【색인어】

메탈 라인, 플라즈마-유도 전하, 메탈 퓨즈

【명세서】

【발명의 명칭】

반도체 소자의 메탈 라인 형성 방법{Method of forming a metal line in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래 반도체 소자의 메탈 라인 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 메탈 라인 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10, 20: 반도체 기판 11, 21: 하부 소자
12, 22: 층간 절연막 13, 23L: 메탈 라인 콘택홀
23F: 메탈 퓨즈 콘택홀 14, 24L: 메탈 라인 플러그
24F: 메탈 퓨즈 플러그 15, 25: 메탈층
25L: 메탈 라인용 패턴 25F: 메탈 퓨즈용 패턴
16, 26: 포토레지스트 패턴 150, 250: 메탈 라인
245: 메탈 퓨즈

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 메탈 라인 형성 방법에 관한 것으로, 특히 하부 소자와 연결되는 메탈 라인 형성 공정중 과도 식각(over etch) 공정시 플라즈마에 의해 유도된 전하(plasma induced charging)가 메탈 라인에 집적되고, 메탈 라인에 집적된 플라즈마 유도 전하로 인한 하부 소자의 손상(damage)을 최소화할 수 있는 반도체 소자의 메탈 라인 형성 방법에 관한 것이다.
- <12> 일반적으로, 메탈 라인은 메탈층을 증착한 후 플라즈마 식각 방식으로 주 식각(main etch) 공정 및 과도 식각 공정을 수행하여 하부 소자와 연결되도록 형성된다. 메탈 라인 형성 공정 동안 플라즈마에 의해 유도된 전하는 메탈 라인에 집적되는데, 이 메탈 라인은 전하의 안테나(charging antenna) 역할을 하게되어 메탈 라인에 집적된 전하가 하부 소자에 손상을 입히게 된다.
- <13> 도 1a 내지 도 1f는 종래 반도체 소자의 메탈 라인 형성 방법을 설명하기 위한 소자의 단면도이다.
- <14> 도 1a를 참조하면, 반도체 기판(10) 상에 하부 소자(11)를 형성한다. 하부 소자(11)는 반도체 소자에 적용되는 모든 단위 소자를 포함한다.



- <15> 도 1b를 참조하면, 하부 소자(11)를 포함한 반도체 기판(10) 상에 층간 절연막(12)을 형성한다. 층간 절연막(12)의 일부를 식각하여 하부 소자(11)의 상부면 일부가 노출되는 메탈 라인 콘택홀(13)을 형성한다.
- <16> 도 1c를 참조하면, 메탈 라인 콘택홀(13) 내부를 전도성 물질로 채워 하부 소자(11)와 연결되는 메탈 라인 플러그(14)를 형성한다.
- <17> 도 1d를 참조하면, 메탈 라인 플러그(14)를 포함한 층간 절연막(12) 상에 메탈층(15)을 형성한다. 메탈 라인 플러그(14) 상부를 포함하면서 메탈 라인이 형성될 부분을 덮는(close) 포토레지스트 패턴(16)이 메탈층(15) 상에 형성된다.
- <18> 도 1e를 참조하면, 메탈층(15)의 노출된 부분을 식각하기 위해 플라즈마 식각 방식으로 주 식각 공정을 진행한다.
- <19> 도 1f를 참조하면, 주 식각 공정을 완료한 후 식각되지 않고 잔류하는 메탈층(15)을 제거하기 위하여 과도 식각 공정을 진행하고, 이로 인하여 메탈 라인 플러그(14)에 연결된 메탈 라인(150)이 형성된다.
- <20> 상술한 공정에서, 플라즈마 식각 방식의 주 식각 공정 동안 플라즈마에 의해 유도된 전하가 메탈층(15)에 집적되는데, 주 식각 공정에서는 웨이퍼 상의 메탈층(15)이 완전히 격리(isolation)되지 않고 전기적으로 연결되어 있는 상태이기 때문에 플라즈마 유도 전하가 하부 소자에 손상을 입히는 현상이 발생하지 않는다. 그러나, 과도 식각 공정으로 형성된 메탈 라인(150)은 완전히 격리된 구조이기 때문에 메탈 라인(150)이 전하의 안테나(charging antenna) 역할을 하게되어 주 식각 공정 및 과도 식각 공정 동안에 메탈 라인(150)에 집적된 전하가 하

부 소자(11)에 전기적으로 손상을 주어 소자의 신뢰성을 저하시키는 문제가 있다. 전하에 의한 하부 소자(11)의 손상은 상술한 플라즈마 손상 과정이 반복 누적되는 다층 메탈 라인 구조에서 더욱 심각하게 나타난다.

<21> 하부 소자(11)의 플라즈마 유도 전하 손상은 메탈 라인(150)의 레이아웃(layout)과 안테나 구조(antenna structure)에 영향을 받는데, 이에 관련된 내용이 "Journal of the Korean Physical Society, Vol. 35, December 1999, pp. S742~S746, Effect of Plasma Induced Charging in Interconnect Metal Etch on the Characteristics of a Ferroelectric Capacitor"에 기재되어 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명은 메탈 라인 형성 공정 중에 메탈 라인에 집적된 플라즈마 유도 전하가 메탈 라인에 연결된 하부 소자에 손상을 주는 것을 최소화하여 소자의 전기적 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 메탈 라인 형성 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<23> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 메탈 라인 형성 방법은 하부 소자가 형성된 반도체 기판이 제공되고, 상기 하부 소자를 포함한 상기 반도체 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막의 일부를 식각하여 상기 하부 소자의 일부가 노출되는 메탈 라인 콘택홀을 형성하고, 상기 반도체 기판의 일부가 노출되는 메탈 퓨즈 콘택홀을 형성하는 단계; 상기 메

탈 라인 콘택홀 및 상기 메탈 퓨즈 콘택홀 각각의 내부를 전도성 물질로 채워 메탈 라인 플러그 및 메탈 퓨즈 플러그를 각각 형성하는 단계; 상기 메탈 라인 플러그 및 상기 메탈 퓨즈 플러그를 포함한 상기 층간 절연막 상에 메탈층을 형성하는 단계; 메탈 라인을 형성하기 위한 주 식각 공정 및 과도 식각 공정으로 상기 메탈층을 식각하여 메탈 라인용 패턴과 상기 메탈 라인용 패턴에 전기적으로 연결되는 메탈 퓨즈용 패턴을 형성하는 단계; 및 메탈 퓨즈 과도 식각 공정으로 상기 메탈 라인용 패턴과 상기 메탈 퓨즈용 패턴을 전기적으로 격리시켜 메탈 라인을 형성하는 단계를 포함하여 이루어진다.

<24> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<25> 도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 메탈 라인 형성 방법을 설명하기 위한 소자의 단면도이다.

<26> 도 2a를 참조하면, 반도체 기판(20) 상에 하부 소자(21)를 형성한다. 하부 소자(21)는 반도체 소자에 적용되는 모든 단위 소자를 포함한다.

<27> 도 2b를 참조하면, 하부 소자(21)를 포함한 반도체 기판(20) 상에 층간 절연막(22)을 형성한다. 층간 절연막(22)의 일부를 식각하여 하부 소자(21)의 상부면 일부가 노출되는 메탈 라인 콘택홀(23L) 및 반도체 기판(20)의 일부가 노출되는 메탈 퓨즈 콘택홀(23F)을 형성한다.



- <28> 도 2c를 참조하면, 메탈 라인 콘택홀(23L) 및 메탈 퓨즈 콘택홀(23F) 각각의 내부를 전도성 물질로 채워 하부 소자(21)와 연결되는 메탈 라인 플러그(24L) 및 반도체 기판(20)과 연결되는 메탈 퓨즈 플러그(24F)를 각각 형성한다.
- <29> 도 2d를 참조하면, 메탈 라인 플러그(24L) 및 메탈 퓨즈 플러그(24F)를 포함한 층간 절연막(22) 상에 메탈층(25)을 형성한다. 메탈층(25) 상에 포토레지스트 패턴(26)을 형성한다. 포토레지스트 패턴(26)은 메탈 라인 플러그(24L)를 포함한 메탈 라인 영역과 메탈 퓨즈 플러그(24F)를 포함한 메탈 퓨즈 영역이 덮이도록 형성하되, 메탈 라인 영역과 메탈 퓨즈 영역 사이는 메탈 라인 형성을 위한 주 식각 공정 및 과도 식각 공정시 식각 로딩 이펙트(etch loading effect)가 나타날 수 있는 좁은 공간을 갖도록 형성해야만 한다. 한편, 메탈 퓨즈 영역에 형성되는 포토레지스트 패턴(26)은 다수의 패턴으로 형성해도 되는데, 이때 다수의 패턴 사이의 공간은 반드시 식각 로딩 이펙트가 나타날 수 있는 좁은 공간이어야 한다.
- <30> 도 2e를 참조하면, 메탈층(25)의 노출된 부분을 식각하기 위해 플라즈마 식각 방식으로 주 식각 공정을 진행한다.
- <31> 도 2f를 참조하면, 주 식각 공정을 완료한 후 식각되지 않고 잔류하는 메탈층(25)을 제거하기 위하여 과도 식각 공정을 진행하고, 이로 인하여 메탈 라인 플러그(24L)에 연결된 메탈 라인용 패턴(25L)이 형성되고, 메탈 퓨즈 플러그(24F)에 연결되는 적어도 하나의 메탈 퓨즈용 패턴(25F)이 형성된다. 메탈 라인용 패턴(25L)과 메탈 퓨즈용 패턴(25F) 사이의 공간은 식각 로딩 이펙트로 인해 과도 식각 공정 후에도 메탈층(25)이 그 부분에 일정 두께 잔류하는 폭으로 설정하고, 이로 인하여 메탈 라인용 패턴(25L)과 메탈 퓨즈용 패턴(25F)은 전기적으로 연결된 상태가 된다. 메탈 퓨즈용 패턴(25F)이 다수개일 경우에도 밀집되도록 형성되기 때문에 패턴들 사이에 메탈층(25)이 일정 두께 잔류되어 전기적으로 연결된 상태가 된다. 결과적으로,

하부 소자(21), 메탈 라인 플러그(24L), 메탈 라인용 패턴(25L), 메탈 퓨즈용 패턴(25F), 메탈 퓨즈 플러그(24F) 및 반도체 기판(20) 순으로 전기적 연결 상태를 이루는 구조가 되며, 여기서, 메탈 퓨즈 플러그(24F)와 적어도 하나의 메탈 퓨즈용 패턴(25F)으로 구성되는 메탈 구조가 상기 과도 식각 공정 중의 플라즈마 유도 전하(plasma induced charging)를 하부 기판으로 방출하는 메탈 퓨즈(245) 역할을 하게 된다.

<32> 도 2g를 참조하면, 메탈 퓨즈 과도 식각 공정을 진행하여 메탈 퓨즈용 패턴(25F) 주변에 잔류된 메탈층(25)을 제거하고, 이로 인하여 메탈 퓨즈(245)와 전기적으로 격리(isolation)된 메탈 라인(250)이 형성된다.

<33> 상술한 공정에서, 메탈 라인(250)을 형성하기 위한 플라즈마 식각 방식의 주 식각 공정 동안 플라즈마에 의해 유도된 전하가 메탈층(25)에 집적되는데, 주 식각 공정에서는 웨이퍼 상의 메탈층(25)이 완전히 격리(isolation)되지 않고 전기적으로 연결되어 있는 상태이기 때문에 플라즈마 유도 전하가 하부 소자(21)에 손상을 입히는 현상이 발생하지 않는다(도 2e 참조). 주 식각 공정에 이어 실시되는 과도 식각 공정으로 형성된 메탈 라인용 패턴(25L)은 이웃하는 메탈 라인용 패턴(도시 않음)과는 격리된 구조이긴 하지만, 도 2f에 도시된 바와 같이, 일측부가 메탈 퓨즈(245)에 연결되어 있어 주 식각 공정 및 과도 식각 공정 동안에 메탈 라인용 패턴(25L)에 집적된 전하가 메탈 퓨즈(245)를 통해 반도체 기판(21)으로 방출(drain)된다. 이로 인하여 하부 소자(21)에는 플라즈마 유도 전하 손상이 발생되지 않는다. 그런데, 메탈 퓨즈 과도 식각 공정 동안, 도 2g에 도시된 바와 같이, 플라즈마에 의해 유도된 전하가 메탈 라인(250) 및 메탈 퓨즈(245)에 집적되고, 이 집적된 플라즈마 유도 전하가 하부 소자(21)에 손상을 주긴 하지만, 전술한 기존 방법보다는 손상 정도가 미약하다. 즉, 기존 방법에서는 메탈 라

인을 형성하기 위한 주 식각 공정 및 과도 식각 공정 동안에 집적된 전하에 의해 하부 소자가 손상을 받지만, 본 발명의 방법에서는 메탈 퓨즈 과도 식각 공정 동안에만 집적된 전하에 의해 하부 소자가 손상을 받기 때문에 전하에 의한 손상이 미약하다.

<34> 상기한 본 발명은 단층 메탈 라인 구조를 실시예로 하여 설명하였지만, 다층 메탈 라인 구조 역시 상기한 방법과 동일한 방법에 의해 형성할 경우 플라즈마 유도 전하로 인한 하부 소자의 손상을 최소화 할 수 있다. 다층 메탈 라인 구조에 본 발명의 원리를 적용할 경우, 도 2g의 메탈 라인(250) 상부에 다른 메탈 라인이 형성되고, 도 2g의 메탈 퓨즈 상부에 다른 메탈 퓨즈가 형성되는 등 구성 요소간에 다소의 차이는 있지만 통상의 지식을 가진 자라면 충분히 실시 가능하다. 따라서, 본 발명은 도면을 참조하여 설명한 본 발명의 실시예에 한정되는 것이 아니라 본 발명의 원리를 적용할 수 있는 모든 반도체 소자의 메탈 라인 형성 방법을 포함한다.

【발명의 효과】

<35> 상술한 바와 같이, 본 발명은 메탈 라인을 형성할 때 메탈 라인과 연결되면서 반도체 기판과도 연결된 메탈 퓨즈를 동시에 형성하여 메탈 라인 형성 공정 중에 메탈 라인에 집적된 플라즈마 유도 전하가 메탈 퓨즈를 통해 반도체 기판으로 방출되게 하므로, 메탈 라인에 연결된 하부 소자에 손상을 주는 것을 최소화하여 소자의 전기적 특성 및 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

하부 소자가 형성된 반도체 기판이 제공되고, 상기 하부 소자를 포함한 상기 반도체 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막의 일부를 식각하여 상기 하부 소자의 일부가 노출되는 메탈 라인 콘택홀을 형성하고, 상기 반도체 기판의 일부가 노출되는 메탈 퓨즈 콘택홀을 형성하는 단계;

상기 메탈 라인 콘택홀 및 상기 메탈 퓨즈 콘택홀 각각의 내부를 전도성 물질로 채워 메탈 라인 플러그 및 메탈 퓨즈 플러그를 각각 형성하는 단계;

상기 메탈 라인 플러그 및 상기 메탈 퓨즈 플러그를 포함한 상기 층간 절연막 상에 메탈층을 형성하는 단계;

메탈 라인을 형성하기 위한 주 식각 공정 및 과도 식각 공정으로 상기 메탈층을 식각하여 메탈 라인용 패턴과 상기 메탈 라인용 패턴에 전기적으로 연결되는 메탈 퓨즈용 패턴을 형성하는 단계; 및

메탈 퓨즈 과도 식각 공정으로 상기 메탈 라인용 패턴과 상기 메탈 퓨즈용 패턴을 전기적으로 격리시켜 메탈 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 메탈 라인 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 메탈 라인용 패턴은 상기 메탈 라인 플러그를 통해 상기 하부 소자에 연결되는 것을 특징으로 하는 반도체 소자의 메탈 라인 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 메탈 퓨즈용 패턴은 상기 메탈 퓨즈 플러그를 통해 상기 반도체 기판에 연결되는 것을 특징으로 하는 반도체 소자의 메탈 라인 형성 방법.

【청구항 4】

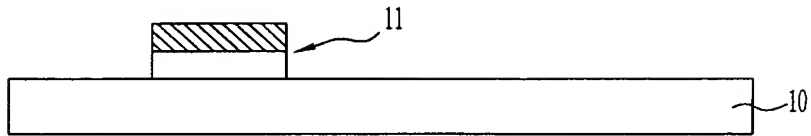
제 1 항에 있어서, 상기 메탈 라인용 패턴과 상기 메탈 퓨즈용 패턴 사이의 공간은 상기 메탈 라인을 형성하기 위한 과도 식각 공정 후에도 식각 로딩 이펙트로 인해 그 부분에 상기 메탈층이 일정 두께 잔류하는 폭으로 설정하는 것을 특징으로 하는 반도체 소자의 메탈 라인 형성 방법.

【청구항 5】

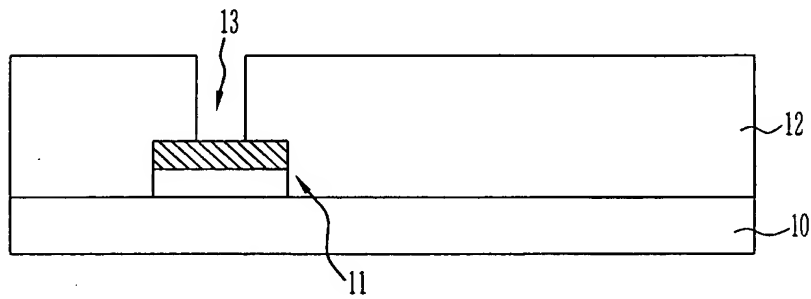
제 1 항에 있어서, 상기 메탈 퓨즈용 패턴은 다수의 밀집 패턴들로 형성되며, 상기 밀집 패턴들 사이의 공간은 상기 메탈 라인을 형성하기 위한 과도 식각 공정 후에도 식각 로딩 이펙트로 인해 그 부분에 상기 메탈층이 일정 두께 잔류하는 폭으로 설정하는 것을 특징으로 하는 반도체 소자의 메탈 라인 형성 방법.

【도면】

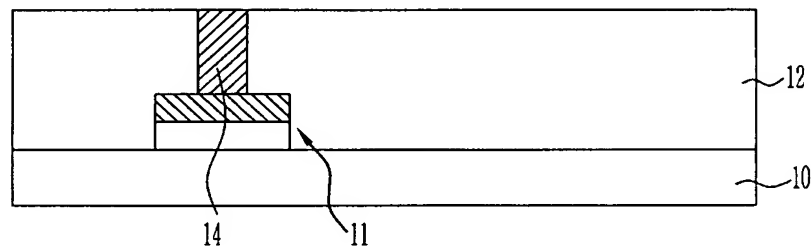
【도 1a】



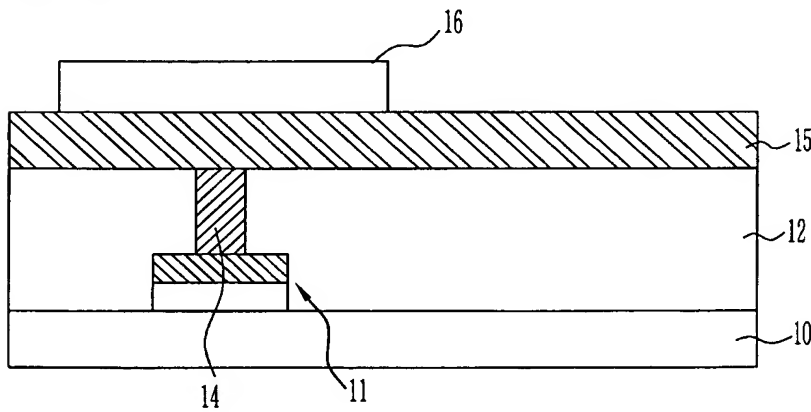
【도 1b】



【도 1c】

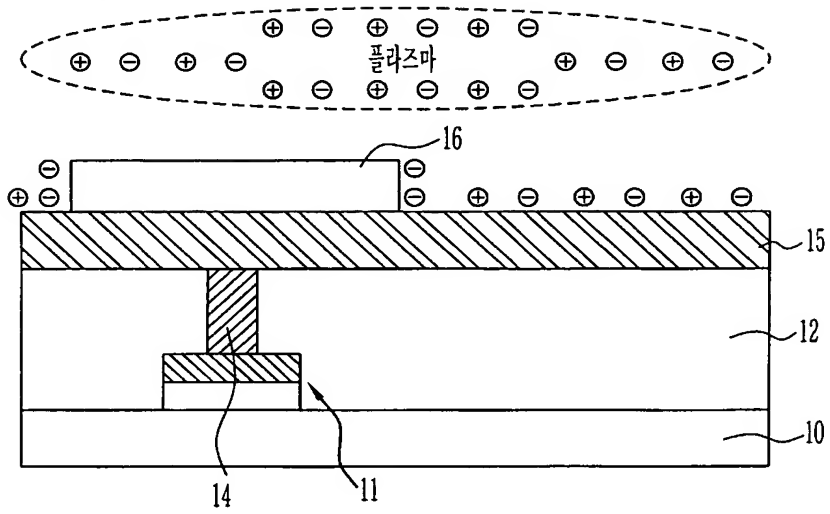


【도 1d】

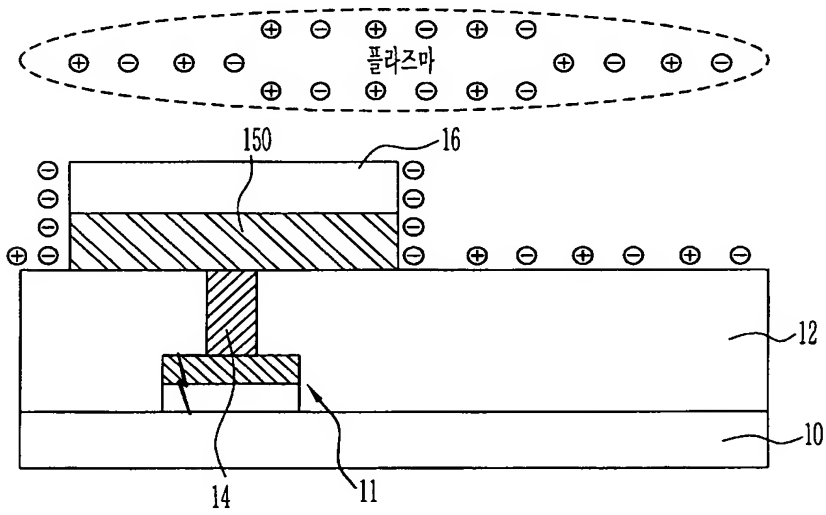




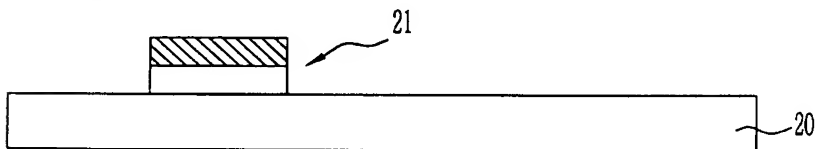
【도 1e】



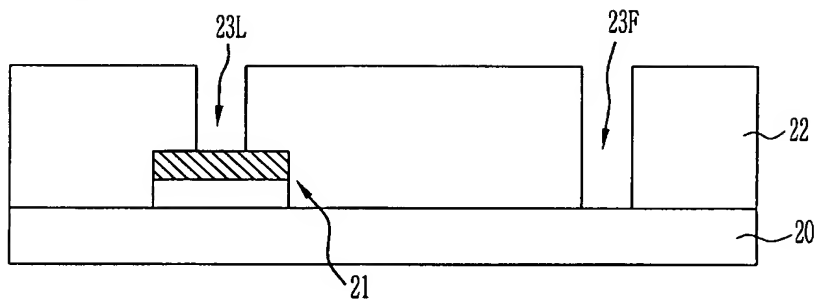
【도 1f】



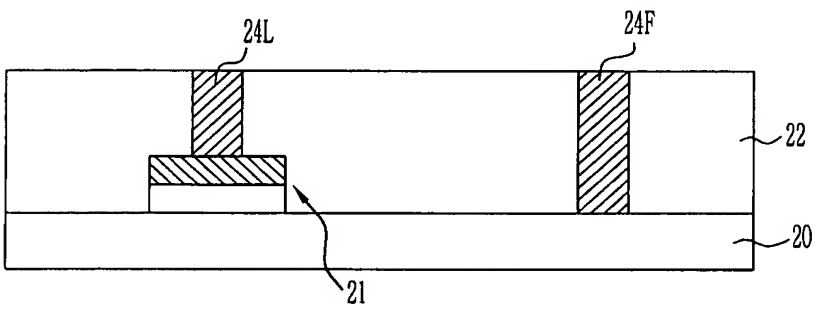
【도 2a】



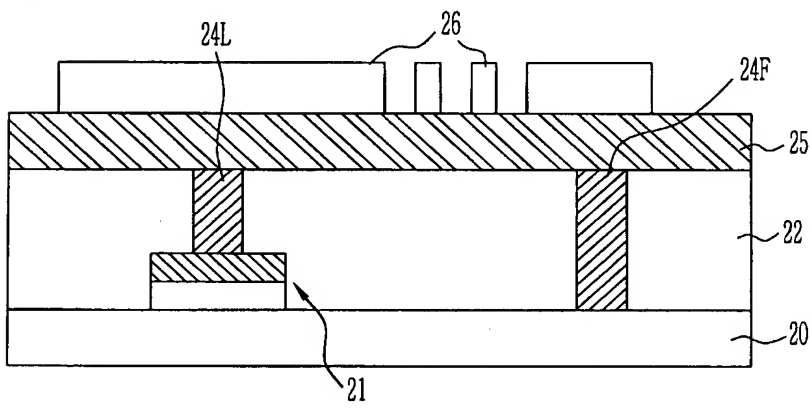
【도 2b】



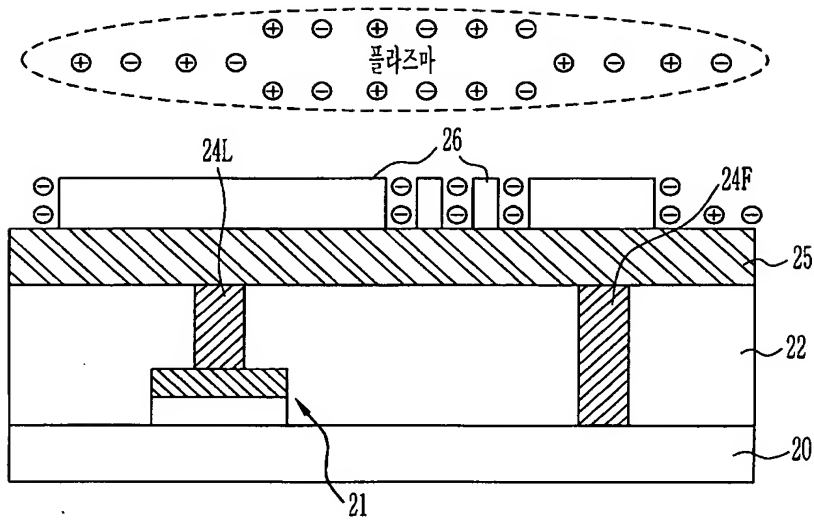
【도 2c】



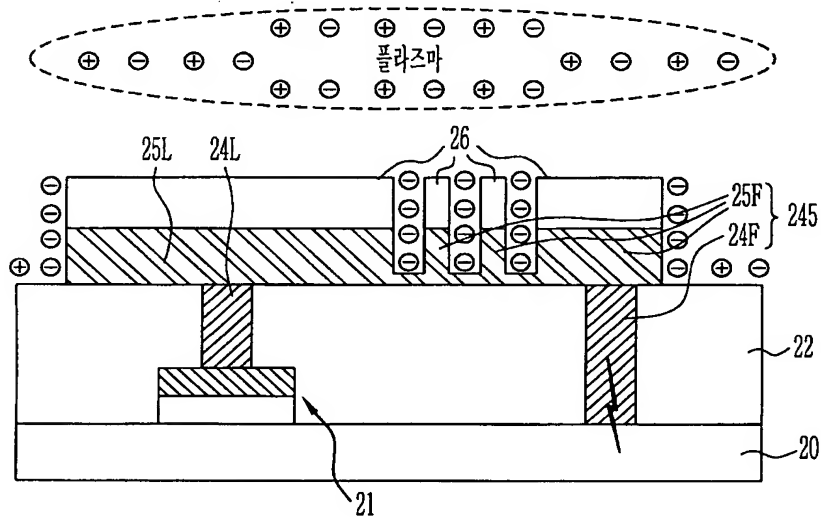
【도 2d】



【도 2e】



【도 2f】



【도 2g】

